

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-153494

(43)Date of publication of application : 10.06.1997

(51)Int.Cl. H01L 21/3205  
H01L 21/304  
H01L 21/316

(21)Application number : 08-216347 (71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 16.08.1996 (72)Inventor : YON UON KIM  
NAE HAK PARK

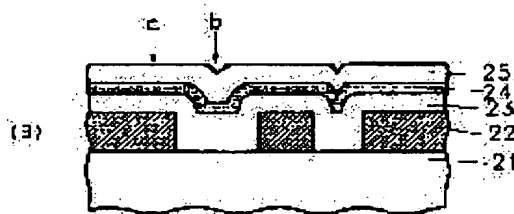
(30)Priority

Priority number : 95 9543926 Priority date : 27.11.1995 Priority country : KR

## (54) METHOD OF FLATTENING SURFACE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of flattening the surface of a semiconductor element whereby the flatness after polishing is more improved.  
**SOLUTION:** After forming an interconnection 22 and first insulation film 23 on a substrate 21, a second insulation film (lower flattening film) having a higher polishing ratio than that of a third insulation film 25 (upper flattening film) is formed and third insulation film 25 is formed thereon. Then the surface is polished by the chemical-mechanical polishing method. Use of flattening layers having different polishing factors further improves the flatness.



## LEGAL STATUS

[Date of request for examination] 16.08.1996

[Date of sending the examiner's decision of rejection] 17.03.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 10-06130

[Date of requesting appeal against examiner's decision of rejection] 17.04.1998

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153494

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205			H 0 1 L 21/88	K
21/304	3 2 1		21/304	3 2 1 S
				3 2 1 M
21/316			21/316	M
				G
審査請求 有 請求項の数16 O L (全 6 頁)				

(21) 出願番号 特願平8-216347

(22) 出願日 平成8年(1996)8月16日

(31) 優先権主張番号 1 9 9 5 P - 4 3 9 2 6

(32) 優先日 1995年11月27日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 595084025

エルジイ・セミコン・カンパニー・リミテッド

大韓民国 360-480 チュングチェオンブ  
グード チェオンジューシ ヒュングドゥ  
クグ ヒャンギエオンードン 1

(72) 発明者 ヨン ウォン キム

大韓民国 チュングチェオンブグード チ  
ェオンジューシ ボンミュンードン エル  
ジーアパート ナ-206

(72) 発明者 ナエ ハク パーク

大韓民国 ソウル市 ジョンローグ ピュ  
ンチャンードン 154-1

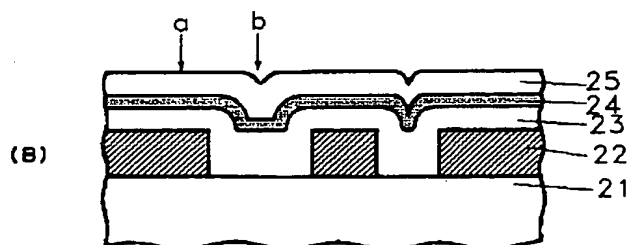
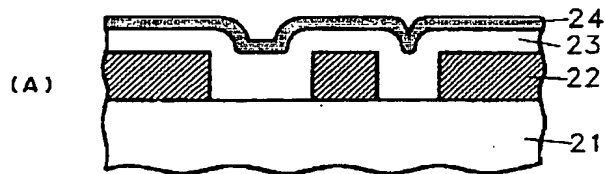
(74) 代理人 弁理士 萩原 誠

(54) 【発明の名称】 半導体素子の表面平坦化方法

(57) 【要約】

【課題】 研磨後の平坦度をより向上させる半導体素子の表面平坦化方法を提供すること。

【解決手段】 基板21上に配線22と第1絶縁膜23を形成した後、第3絶縁膜25（上部平坦化層）より研磨率の高い第2絶縁膜24（下部平坦化層）を形成し、その上に第3絶縁膜25を形成し、しかる後、化学機械的研磨方法で表面から研磨を行う。研磨率の異なる複数の平坦化層を使用することで平坦度がより向上する。



## 【特許請求の範囲】

【請求項 1】 平坦化する基板の表面に研磨工程停止層を形成する工程と、

次に、前記研磨工程停止層上に、後述する上部平坦化層と異なる研磨率を有する下部平坦化層を形成する工程と、

次に、前記下部平坦化層上に上部平坦化層を形成する工程と、

しかる後、化学機械的研磨方法で前記上部平坦化層と下部平坦化層を継続的に研磨して前記研磨工程停止層が露出すると研磨工程を終了する工程とを具備することを特徴とする半導体素子の表面平坦化方法。

【請求項 2】 請求項 1 記載の半導体素子の表面平坦化方法において、前記研磨工程停止層はシリコン酸化膜で形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 3】 請求項 1 記載の半導体素子の表面平坦化方法において、前記下部平坦化層は前記研磨工程停止層と前記上部平坦化層に比べて研磨率の高い物質で形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 4】 請求項 3 記載の半導体素子の表面平坦化方法において、前記下部平坦化層は BPSG、BSG、PSG、及び F が添加された酸化物のうち一つ以上を選択して形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 5】 請求項 1 記載の半導体素子の表面平坦化方法において、前記研磨工程停止層と上部平坦化層は TEOS などをを用いた CVD 法によって形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 6】 請求項 1 記載の半導体素子の表面平坦化方法において、前記研磨工程停止層と上部平坦化層は誘電率の低い酸化物を用いて形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 7】 請求項 1 記載の半導体素子の表面平坦化方法において、前記研磨工程は下部平坦化層内に添加されたイオンを研磨工程中に検出して、工程を中断するかどうか決定することを特徴とする半導体素子の表面平坦化方法。

【請求項 8】 請求項 1 記載の半導体素子の表面平坦化方法において、前記研磨工程はコロイドシリカを含有した研磨剤と、KOHなどを含有したスラリーを用いて、下部平坦化層が上部平坦化層に比べて約 1.5 倍乃至 2.5 倍程度の高い研磨率を有するようにして行うことを特徴とする半導体素子の表面平坦化方法。

【請求項 9】 平坦化する基板の表面に下部平坦化層を形成する工程と、

次に、前記下部平坦化層上に、下部平坦化層と異なる研磨率を有する上部平坦化層を形成する工程と、

しかる後、化学機械的研磨方法で前記上部平坦化層と下部平坦化層を継続的に研磨して下部平坦化層の所定部分

が除去されるとき研磨工程を終了する工程とを具備することを特徴とする半導体素子の表面平坦化方法。

【請求項 10】 請求項 9 記載の半導体素子の表面平坦化方法において、前記上部平坦化層は前記下部平坦化層より研磨率の低い物質で形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 11】 請求項 9 記載の半導体素子の表面平坦化方法において、前記下部平坦化層は BPSG もしくは BSG を用いて形成し、前記上部平坦化層は TEOS などをを用いた CVD 法によって形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 12】 請求項 9 記載の半導体素子の表面平坦化方法において、前記下部平坦化層は PSG、及び F が添加された酸化物のうち一つ以上を選択して形成し、前記上部平坦化層は TEOS などをを用いた CVD 法によって形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 13】 請求項 9 記載の半導体素子の表面平坦化方法において、前記下部平坦化層は BPSG、BSG、PSG、及び F が添加された酸化物のうち一つ以上を選択して形成し、前記上部平坦化層は TEOS などをを用いた CVD 法、もしくは誘電率の低い酸化物を用いた形成方法によって形成することを特徴とする半導体素子の表面平坦化方法。

【請求項 14】 請求項 9 記載の半導体素子の表面平坦化方法において、前記研磨工程は上部平坦化層内に添加されたイオンを研磨工程中に検出して工程を中断するかどうか決定することを特徴とする半導体素子の表面平坦化方法。

【請求項 15】 請求項 9 記載の半導体素子の表面平坦化方法において、前記下部平坦化層に添加されたイオンを研磨中に検出して研磨工程を中断し得るようにすることを特徴とする半導体素子の表面平坦化方法。

【請求項 16】 請求項 9 記載の半導体素子の表面平坦化方法において、前記研磨工程はコロイドシリカを含有した研磨剤と、KOHなどを含有したスラリーを用いて、下部平坦化層が上部平坦化層に比べて約 1.5 倍乃至 2.5 倍程度の高い研磨率を有するようにして行うことを特徴とする半導体素子の表面平坦化方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子の表面平坦化方法に関する。

【0002】

【従来の技術】 半導体素子の高集積化に伴って製造方法も段々複雑になり、いろんな単位要素を形成すると素子の表面にも激しい凸凹が生じる。従って、表面を平坦化させる工程が必要となったが、このような平坦化方法としては化学機械的研磨方法が提案されている。この化学機械的研磨方法は、基板の表面を化学的及び機械的に研

10

20

30

40

50

磨して平らにするものである。

【0003】即ち、図6(A)に示すように、基板11にフィールド酸化膜12を形成し、トレンチを掘った後いくつかの所定の薄膜13、14、15を形成し、ポリシリコン層16を厚く形成すると、トレンチは充填され、表面には多数の山と谷が形成された形態となる。そこで、スラリー(slurry)を塗りつけた研磨布で高速回転させながら凸凹の表面を研磨して図6(B)に示すように表面を平坦化する。

【0004】このような化学機械的研磨方法は、米国特許第4671851号に従来の技術として記載されているが、そこには窒化膜( $\text{Si}_3\text{N}_4$ )上に酸化膜やポリシリコンを形成し、研磨工程によって窒化膜上の酸化膜とポリシリコンを除去するとき、下部の窒化膜を研磨停止膜として用いる技術が示されている。このような従来の技術では、表面層を研磨する前に、表面層より研磨率の低い膜を表面層の下部にまず形成させて、表面層を研磨するとき下部層が研磨されないようにすることにより、下部を保護する方法を使用する。

【0005】

【発明が解決しようとする課題】しかるに、前記した従来の化学機械的研磨方法では、表面に一つの物質で形成された膜だけを研磨するために、研磨が完了したとき、パターンの高低による研磨前の屈曲の形態が完全に除去されず一部が残留する問題があった。また、研磨停止膜として研磨率の低い物質のみを用いたため、研磨率の低い物質が無い部位では更に多く研磨が行われて表面の凸凹が生じる問題点もあった。

【0006】

【課題を解決するための手段】本発明は上述の課題を解決するために、平坦化する基板の表面に研磨工程停止層を形成する工程と、次に前記研磨工程停止層上に、後述する上部平坦化層と異なる研磨率を有する下部平坦化層を形成する工程と、次に前記下部平坦化層上に上部平坦化層を形成する工程と、しかる後化学機械的研磨方法で前記上部平坦化層と下部平坦化層を継続的に研磨して前記研磨工程停止層が露出すると研磨工程を終了する工程とを具備する半導体素子の表面平坦化方法とする。

【0007】また、本発明は、平坦化する基板の表面に下部平坦化層を形成する工程と、次に前記下部平坦化層上に、下部平坦化層と異なる研磨率を有する上部平坦化層を形成する工程と、しかる後化学機械的研磨方法で前記上部平坦化層と下部平坦化層を継続的に研磨して下部平坦化層の所定部分が除去されるとき研磨工程を終了する工程とを具備する半導体素子の表面平坦化方法とする。

【0008】

【発明の実施の形態】次に添付図面を参照して本発明による半導体素子の表面平坦化方法の実施の形態を詳細に説明する。図1ないし図3は本発明の第1の実施形態を

製造工程順に示す断面図である。本発明の第1の実施形態では、まず、図1(A)に示すように、基板21上にAl、Cu、ポリシリコン、シリサイドなどの導電体層を形成し、フォトリソグラフィ作業によって半導体層をパターンニングすることにより配線22を形成する。

【0009】次に、図1(B)に示すように、前記配線22の絶縁を目的とする第1絶縁膜23を酸化物質で基板21上の全面に形成する。この際、第1絶縁膜23はTEOSなどを用いたCVD法によって形成するか、誘電率の低い酸化物質を用いて形成する。一具体例としては、シリコン酸化膜で第1絶縁膜23を形成する。尚、第1絶縁膜23は研磨工程停止層でもあり、最終絶縁膜の厚さに対する厚さに形成すればよい。

【0010】次に、図2(A)に示すように、第1絶縁膜23上に下部平坦化層として第2絶縁膜24を形成する。この際、第2絶縁膜24は第1絶縁膜23に比べて研磨率の高い物質、即ちボロン(B)と燐(P)が含有された酸化物質(BPSG)、Bが含有された酸化物質(BSG)、Pが含有された酸化物質(PSG)、フッ素Fが含有された酸化物質、もしくはSOG(spin on glass: 塗布ガラス膜)などで形成する。

【0011】次に、図2(B)に示すように、第2絶縁膜24上に上部平坦化層として第3絶縁膜25を形成する。この際、第3絶縁膜25は第1絶縁膜23と同一の物質及び方法で形成する。

【0012】しかる後、基板21上に平坦化層として形成された第3絶縁膜25と第2絶縁膜24の表面を化学機械的研磨方法によって研磨する。この研磨工程はコロイドシリカ(colloidal silica)を含有した研磨剤と、KOHなどを含有したスラリー(slurry)によって行われ、PHは約7~12程度にする。この際、BPSGのような第2絶縁膜24は酸化膜である第1絶縁膜23及び第3絶縁膜25に比べ約1.5倍乃至2.5倍程度の高い研磨率を有するようにして、研磨が速く行われる。

【0013】そうすると、図2(B)および図3(A)に示すように、パターンの高い部位aと低い部位bが同時に研磨され、第3絶縁膜25の高い部位が先に除去されて第2絶縁膜24が現れるとき、第3絶縁膜25の低い部位は高い部位aに比べて表面が低いので符号25aで表したように少し残る。引き続き研磨すると、第2絶縁膜24の高い部位aは第3絶縁膜25の残留部分25aに比べて研磨率が高いのでより多く研磨される。このように引き続き研磨して第1絶縁膜23の上部が露出すると、工程を完了する。

【0014】従って、最終的に研磨を終了したときには、図3(B)に示すように、高い部位aの第3絶縁膜25と第2絶縁膜24は研磨されて除去され、且つ低い部位bの第3絶縁膜25と第2絶縁膜24だけが残って、平坦な表面となる。なお、研磨工程では研磨によって除去される第2絶縁膜24の不純物イオンを検出する

ことにより、工程を完了するかどうか判断することができ、膜厚を容易に調節することができる。

【0015】図4および図5は本発明の第2の実施形態を製造工程順に示す断面図である。本発明の第2の実施形態では、まず、図4(A)に示すように、基板31上にAl、Cu、ポリシリコン、シリサイドなどの導電体層を形成し、フォトリソグラフィ作業によって導電体層をパターニングすることにより配線32を形成する。

【0016】次に、図4(B)に示すように、下部平坦化層として、前記配線32の絶縁を目的とする第1絶縁膜33を酸化物質で形成する。この際、第1絶縁膜33は次に形成する第2絶縁膜34に比べて高い研磨率を有するように、BとPが含有された酸化物質(BPSG)、Bが含有された酸化物質(BSG)、Pが含有された酸化物質(PSG)、もしくはFが含有された酸化物質などで形成する。尚、第1絶縁膜33は最終絶縁膜の厚さ、及び研磨されて除去される厚さを考慮して厚く形成する。

【0017】次に、図5(A)に示すように、第1絶縁膜33上に、これより研磨率の低い上部平坦化層として第2絶縁膜34を酸化物質で形成する。この際、酸化物質としては、TEOSなどを用いたCVD法で形成された酸化物質か、高い密度のプラズマなどによるコンフォーマル(CONFORMAL)な酸化物質か、誘電率の低い酸化物質を用いる。

【0018】しかる後、基板31上に、平坦化層として形成された第2絶縁膜34と第1絶縁膜33の表面を化学機械的研磨方法によって研磨する。この研磨工程はコロイドシリカを含有した研磨剤と、KOHなどを含有したスラリーによって行われ、PHは約7~12程度にする。この際、BPSGのような第1絶縁膜33は酸化膜である第2絶縁膜34に比べて約1.5倍乃至2.5倍程度の高い研磨率を有するようにして、研磨が速く行われる。

【0019】したがって、前記研磨を完了すると、図5(B)のようになる。この時の研磨過程はパターンの高い部位と低い部位が同時に研磨され、第2絶縁膜34の高い部位が先に全部除去されて第1絶縁膜33が現れるとき、第2絶縁膜34の低い部位は少し残ることになり、引き続き研磨していくと、第1絶縁膜33の高い部位が第2絶縁膜34の残留部分より高い研磨率を有する

のでより多く研磨されて、所定の時間だけ引き続き研磨すると、第1絶縁膜33の残留部分と第2絶縁膜34の残留部分の高さが同一になる位置が発生し、この時に研磨工程を中止する。従って、最終的に研磨を終了したときには、図5(B)に示すように、高い部位の第1絶縁膜33と低い部位の第2絶縁膜34が残って平坦な表面が得られる。なお、前記研磨工程では研磨によって除去される第2絶縁膜34の不純物イオンを検出することにより、工程の完了時点を適宜に判断することができる。また、第2絶縁膜34の不純物イオンに代えて、第1絶縁膜33の不純物イオンを検出して研磨工程の完了時点を判断することもできる。

#### 【0020】

【発明の効果】このように、本発明の半導体素子の表面平坦化方法によれば、互いに研磨率の異なる複数の平坦化層を形成して化学機械的研磨方法によって表面の平坦化を図るようにしたので、従来の方法のように平坦化工程時にパターンの高低から影響を受ける問題を解消でき、研磨後の平坦度をより向上させることができる。また、研磨中に、平坦化層内に添加されたイオンを検出して工程を完了するかどうかを判断することができ、膜厚制御が容易になる。

#### 【図面の簡単な説明】

【図1】本発明による半導体素子の表面平坦化方法の第1の実施の形態の一部を示す断面図。

【図2】本発明の第1の実施の形態であり、図1に続く工程を示す図。

【図3】本発明の第1の実施の形態であり、図2に続く工程を示す断面図。

【図4】本発明の第2の実施の形態の一部を示す断面図。

【図5】本発明の第2の実施の形態であり、図4に続く工程を示す断面図。

【図6】従来の化学機械的研磨方法による表面平坦化方法を説明するための断面図。

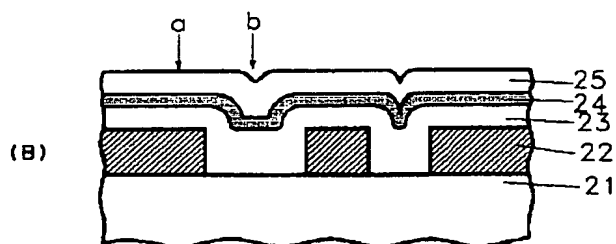
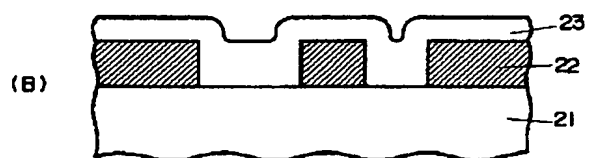
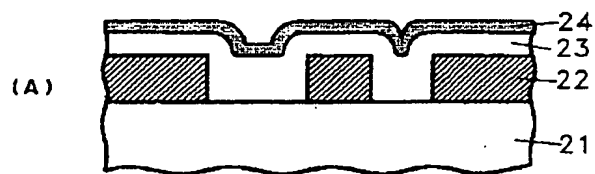
#### 【符号の説明】

21, 31 基板  
23, 33 第1絶縁膜  
24, 34 第2絶縁膜  
25 第3絶縁膜

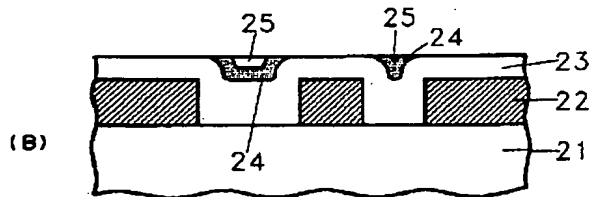
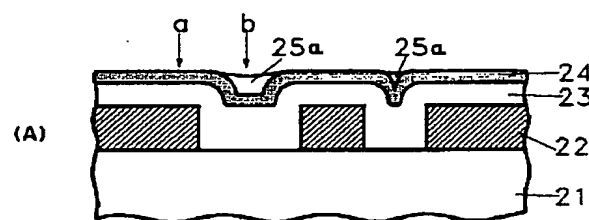
【図1】



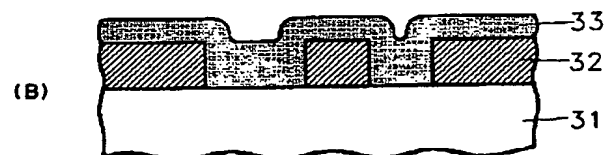
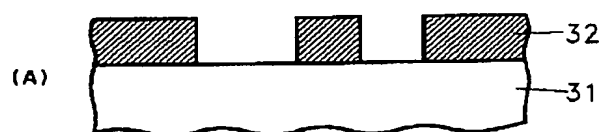
【図2】



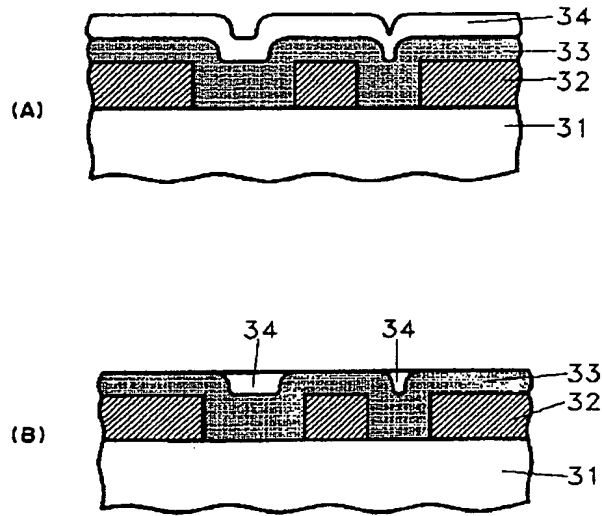
【図3】



【図4】



【図 5】



【図 6】

